

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Youichi TOBITA

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: OFFSET COMPENSATION CIRCUIT COMPENSATING FOR OFFSET VOLTAGE OF DRIVE CIRCUIT AS WELL AS DRIVE CIRCUIT WITH OFFSET-COMPENSATION CAPABILITY AND LIQUID-CRYSTAL DISPLAY DEVICE USING THE OFFSET COMPENSATION CIRCUIT

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number _____, filed _____, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):
Application No. Date Filed

- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:


| <u>COUNTRY</u> | <u>APPLICATION NUMBER</u> | <u>MONTH/DAY/YEAR</u> |
|----------------|---------------------------|-----------------------|
| Japan | 2003-082580 | March 25, 2003 |
| Japan | 2003-193015 | July 7, 2003 |

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. _____ filed _____
- ☐ were submitted to the International Bureau in PCT Application Number _____
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. _____ filed _____; and
- ☐ (B) Application Serial No.(s) _____
☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak

Registration No. 24,913

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

C. Irvin McClelland
Registration Number 21,124

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2003年 3月25日

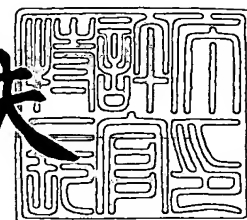
出願番号
Application Number: 特願2003-082580
[ST. 10/C]: [JP 2003-082580]

出願人
Applicant(s): 三菱電機株式会社

2004年 1月21日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 544415JP01

【提出日】 平成15年 3月25日

【あて先】 特許庁長官殿

【国際特許分類】 H03F 3/34

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会
社内

 【氏名】 飛田 洋一

【特許出願人】

 【識別番号】 000006013

 【氏名又は名称】 三菱電機株式会社

【代理人】

 【識別番号】 100064746

 【弁理士】

 【氏名又は名称】 深見 久郎

【選任した代理人】

 【識別番号】 100085132

 【弁理士】

 【氏名又は名称】 森田 俊雄

【選任した代理人】

 【識別番号】 100083703

 【弁理士】

 【氏名又は名称】 仲村 義平

【選任した代理人】

 【識別番号】 100096781

 【弁理士】

 【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 オフセット補償回路と、それを用いたオフセット補償機能付駆動回路および液晶表示装置

【特許請求の範囲】

【請求項 1】 入力電位に応じた電位を出力する駆動回路のオフセット電圧を補償するオフセット補償回路であって、

初段の一方電極が前記駆動回路の入力ノードに接続され、各々の一方電極が前段の他方電極に接続された第 1～第 N（ただし、N は 2 以上の整数である）のキャパシタ、

前記入力電位を前記駆動回路の入力ノードに与えるとともに、前記第 1 のキャパシタの他方電極を前記駆動回路の出力ノードに接続し、前記第 1 のキャパシタを前記オフセット電圧に充電させる第 1 の切換回路、

前記第 2～第 N のキャパシタを所定時間ずつ順次選択し、選択したキャパシタの一方電極に前記入力電位を与えるとともに、選択したキャパシタの他方電極を前記駆動回路の出力ノードに接続し、前記第 1～第 N のキャパシタを前記オフセット電圧に充電させる第 2 の切換回路、および

前記第 N のキャパシタの他方電極に前記入力電位を与える第 3 の切換回路を備える、オフセット補償回路。

【請求項 2】 前記第 1 の切換回路は、前記第 1～第 N のキャパシタの他方電極をとともに前記駆動回路の出力ノードに接続して前記第 2～第 N のキャパシタの各々の端子間電圧を 0 V にリセットした後、前記第 2～第 N のキャパシタを所定時間ずつ順次選択し、選択したキャパシタの一方電極を前記駆動回路の出力ノードから切離すとともに、選択したキャパシタの一方電極に前記入力電位を与え、前記第 1～第 N のキャパシタを前記オフセット電圧に充電させる、請求項 1 に記載のオフセット補償回路。

【請求項 3】 入力電位に応じた電位を出力する駆動回路と、

前記駆動回路のオフセット電圧を補償する請求項 1 または請求項 2 に記載のオフセット補償回路とを備える、オフセット補償機能付駆動回路。

【請求項 4】 前記駆動回路は、

そのドレインが第1の電源電位を受け、そのソースが前記出力ノードに接続され、そのゲートが前記入力ノードに接続された第1の導電形式の第1のトランジスタ、および

前記出力ノードと第2の電源電位のラインとの間に接続された第1の定電流源を含む、請求項3に記載のオフセット補償機能付駆動回路。

【請求項5】 前記駆動回路は、さらに、前記入力ノードと前記第1のトランジスタのゲートとの間に設けられ、前記入力電位を予め定められた第1の電圧だけ前記第1の電源電位側にレベルシフトさせた電位を前記第1のトランジスタのゲートに与えるレベルシフト回路を含み、

前記レベルシフト回路は、

第3の電源電位のラインと前記第1のトランジスタのゲートとの間に接続された第2の定電流源、および

そのソースが前記第1のトランジスタのゲートに接続され、そのドレインが第4の電源電位のラインに接続され、そのゲートが前記入力電位を受ける第2の導電形式の第2のトランジスタを含む、請求項4に記載のオフセット補償機能付駆動回路。

【請求項6】 前記駆動回路は、さらに、前記第1のトランジスタのソースと前記出力ノードとの間に介挿され、そのゲートが前記出力ノードに接続された第2の導電形式の第3のトランジスタを含み、

前記レベルシフト回路は、さらに、前記第1のトランジスタのゲートと前記第2のトランジスタのソースとの間に介挿され、そのゲートが前記第1のトランジスタのゲートに接続された第1の導電形式の第4のトランジスタを含む、請求項5に記載のオフセット補償機能付駆動回路。

【請求項7】 前記駆動回路は、

第1の電源電位のラインと前記出力ノードとの間に接続されたトランジスタ、前記出力ノードと第2の電源電位のラインとの間に接続された定電流源、および

前記出力ノードの電位が前記入力電位の電位に一致するように前記トランジスタのゲート電位を制御する差動増幅回路を含む、請求項3に記載のオフセット補

償機能付駆動回路。

【請求項 8】 請求項 3 から請求項 7 のいずれかに記載のオフセット補償機能付駆動回路と、

前記オフセット補償機能付駆動回路の出力電位に応じてその光透過率が変化する液晶セルとを備える、液晶表示装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明はオフセット補償回路と、それを用いたオフセット補償機能付駆動回路および液晶表示装置に関し、特に、入力電位に応じた電位を出力する駆動回路のオフセット電圧を補償するオフセット補償回路と、それを用いたオフセット補償機能付駆動回路および液晶表示装置に関する。

【0 0 0 2】

【従来の技術】

従来より、駆動回路のオフセット電圧をキャンセルするオフセット補償回路が提案されている。このオフセット補償回路では、キャパシタをオフセット電圧に充電し、そのキャパシタを駆動回路の入力ノードに接続することによってオフセット電圧を補償する（たとえば特許文献 1 参照）。

【0 0 0 3】

【特許文献 1】

特開 2 0 0 0 - 1 1 4 8 8 9 号公報

【0 0 0 4】

【発明が解決しようとする課題】

しかし、従来のオフセット補償回路では、駆動回路の入力ノードの寄生容量の影響によりキャパシタの電圧が損失され、オフセット電圧を正確にキャンセルすることができないという問題があった。

【0 0 0 5】

キャパシタの容量値を寄生容量よりも十分に大きくすれば損失電圧を小さくすることができるが、そのためにはキャパシタの面積を大きくする必要があり、オ

フセット補償回路の占有面積が増大してしまう。オフセット補償回路を液晶表示装置のデータ線駆動回路に用いる場合、多数のオフセット補償回路が必要になるので、特に問題が大きくなる。

【0006】

それゆえに、この発明の主たる目的は、オフセット電圧を正確にキャンセルすることが可能なオフセット補償回路と、それを用いたオフセット補償機能付駆動回路および液晶表示装置を提供することである。

【0007】

【課題を解決するための手段】

この発明に係るオフセット補償回路は、入力電位に応じた電位を出力する駆動回路のオフセット電圧を補償するオフセット補償回路であって、初段の一方電極が駆動回路の入力ノードに接続され、各々の一方電極が前段の他方電極に接続された第1～第N（ただし、Nは2以上の整数である）のキャパシタと、入力電位を駆動回路の入力ノードに与えると同時に、第1のキャパシタの他方電極を駆動回路の出力ノードに接続し、第1のキャパシタを前記オフセット電圧に充電させる第1の切換回路と、第2～第Nのキャパシタを所定時間ずつ順次選択し、選択したキャパシタの一方電極に入力電位を与えると同時に、選択したキャパシタの他方電極を駆動回路の出力ノードに接続し、第1～第Nのキャパシタをオフセット電圧に充電させる第2の切換回路と、第Nのキャパシタの他方電極に入力電位を与える第3の切換回路を備えたものである。

【0008】

また、この発明に係るオフセット補償機能付駆動回路は、入力電位に応じた電位を出力する駆動回路と、上記オフセット補償回路とを備えたものである。

【0009】

また、この発明に係る液晶表示装置は、上記オフセット補償機能付駆動回路と、オフセット補償機能付駆動回路の出力電位に応じてその光透過率が変化する液晶セルとを備えたものである。

【0010】

【発明の実施の形態】

〔実施の形態 1〕

図 1 は、この発明の実施の形態 1 によるカラー液晶表示装置の構成を示すブロック図である。図 1 において、このカラー液晶表示装置は、液晶パネル 1、垂直走査回路 7 および水平走査回路 8 を備え、たとえば携帯電話機に設けられる。

【0011】

液晶パネル 1 は、複数行複数列に配列された複数の液晶セル 2 と、各行に対応して設けられた走査線 4 および共通電位線 5 と、各列に対応して設けられたデータ線 6 とを含む。

【0012】

液晶セル 2 は、各行において 3 つずつ予めグループ化されている。各グループの 3 つの液晶セル 2 には、それぞれ R、G、B のカラーフィルタが設けられている。各グループの 3 つの液晶セル 2 は、1 つの画素 3 を構成している。

【0013】

各液晶セル 2 には、図 2 に示すように、液晶駆動回路 10 が設けられている。液晶駆動回路 10 は、N 型トランジスタ 11 およびキャパシタ 12 を含む。N 型トランジスタ 11 は、データ線 6 と液晶セル 2 の一方電極 2a との間に接続され、そのゲートは走査線 4 に接続される。キャパシタ 12 は、液晶セル 2 の一方電極 2a と共通電位線 5 との間に接続される。液晶セル 2 の他方電極には駆動電位 VDD が与えられ、共通電位線 5 には共通電位 VSS が与えられる。

【0014】

図 1 に戻って、垂直走査回路 7 は、画像信号に従って、複数の走査線 4 を所定時間ずつ順次選択し、選択した走査線 4 を選択レベルの「H」レベルにする。走査線 4 が選択レベルの「H」レベルにされると、図 2 の N 型トランジスタ 11 が導通し、その走査線 4 に対応する各液晶セル 2 の一方電極 2a とその液晶セル 2 に対応するデータ線 6 とが結合される。

【0015】

水平走査回路 8 は、画像信号に従って、垂直走査回路 7 によって 1 本の走査線 4 が選択されている間に各データ線 6 に階調電位 VG を与える。液晶セル 2 の光透過率は、階調電位 VG のレベルに応じて変化する。垂直走査回路 7 および水平

走査回路 8 によって液晶パネル 1 の全液晶セル 2 が走査されると、液晶パネル 1 の 1 つの画像が表示される。

【0016】

図 3 は、図 1 に示した水平走査回路 8 の要部を示す回路図である。図 3 において、この水平走査回路 8 は、各データ線 6 に階調電位 V_G を与える前に各データ線 6 の電位をプリチャージ電位 V_{PC} にするためのイコライザ+プリチャージ回路 15 を含む。

【0017】

イコライザ+プリチャージ回路 15 は、各データ線 6 に対応して設けられたスイッチ 16 と、各隣接する 2 つのデータ線 6 に対応して設けられたスイッチ 17 とを含む。スイッチ 16 の一方端子はプリチャージ電位 V_{PC} を受け、その他方端子は対応のデータ線 6 に接続される。スイッチ 16 は、プリチャージ信号 ϕ_{PC} が活性化レベルの「H」レベルにされたことに応じてオンされる。スイッチ 16 がオンされると、各データ線 6 はプリチャージ電位 V_{PC} にされる。スイッチ 17 は、2 つのデータ線 6 間に接続され、イコライズ信号 ϕ_{EQ} が活性化レベルの「H」レベルにされたことに応じてオンされる。スイッチ 17 がオンされると、全データ線 6 の電位が平均化される。スイッチ 16, 17 がオフにされた後、各データ線 6 に階調電位 V_G が与えられる。ここでは、プリチャージ電位 V_{CP} を 0 V とする。

【0018】

図 4 は、データ線 6 に階調電位 V_G を与えるための階調電位発生回路 20 およびオフセット補償機能付駆動回路 25 を含む。階調電位発生回路 20 およびオフセット補償機能付駆動回路 25 は、データ線 6 の数だけ設けられている。

【0019】

階調電位発生回路 20 は、第 1 電源電位 V_H (5 V) のラインと第 2 電源電位 V_L (0 V) のラインとの間に直列接続された $n+1$ 個 (ただし、 n は自然数である) の抵抗素子 21. 1 ~ 21. $n+1$ と、 $n+1$ 個の抵抗素子 21. 1 ~ 21. $n+1$ の間の n 個のノードと出力ノード 20 a との間にそれぞれ接続された n 個のスイッチ 22. 1 ~ 22. n とを含む。

【0020】

$n+1$ 個の抵抗素子 $21.1 \sim 21.n+1$ の間の n 個のノードには、それぞれ n 段階の電位が現われる。スイッチ $22.1 \sim 22.n$ は、画像ノード信号 ϕ_P によって制御され、それらのうちのいずれか 1 つのみが導通状態にされる。出力ノード $20a$ には、 n 段階の電位のうちのいずれか 1 つの段階の電位が階調電位 V_G として出力される。オフセット補償機能付駆動回路 25 は、選択されたデータ線 6 が階調電位 V_G になるようにデータ線 6 に電流を供給する。

【0021】

図 5 は、オフセット補償機能付駆動回路 25 の構成を示す回路図である。図 5 において、このオフセット補償機能付駆動回路 25 は、プッシュ型駆動回路 26、キャパシタ $27.1, 27.2$ およびスイッチ $S1, S2.1, S2.2, S3.1, S3.2, S4$ を含む。プリチャージ電位 V_{CP} は $0V$ であり、階調電位は $0V \sim 5V$ であるので、データ線 6 の充電を行なえばよく、放電を行なう必要はない。そこで、このカラー液晶表示装置では、プッシュ型の駆動回路 26 が使用される。

【0022】

プッシュ型駆動回路 26 は、図 6 に示すように、P 型トランジスタ $31 \sim 33$ 、N 型トランジスタ $34, 35$ および定電流源 $36, 37$ を含む。P 型トランジスタ $31, 32$ は、それぞれ第 3 電源電位 V_{H1} (たとえば $10V$) のラインとノード $N31, N32$ との間に接続され、それらのゲートはともにノード $N32$ に接続される。P 型トランジスタ $31, 32$ は、カレントミラー回路を構成する。

【0023】

N 型トランジスタ $34, 35$ は、それぞれノード $N31, N32$ とノード $N34$ との間に接続され、それらのゲートはそれぞれ入力ノード $N21$ および出力ノード $N22$ に接続される。定電流源 36 は、ノード $N34$ から第 4 電源電位 V_{L1} (たとえば $0V$) のラインに所定の定電流を流出させる。P 型トランジスタ 33 は、第 3 電源電位 V_{H1} のラインと出力ノード $N22$ との間に接続され、そのゲートはノード $N31$ に接続される。定電流源 37 は、出力ノード $N22$ から第

4 電源電位 V_{L1} のラインに所定の定電流を流出させる。P 型トランジスタ 31, 32、N 型トランジスタ 34, 35 および定電流源 36 は、差動増幅回路を構成する。

【0024】

N 型トランジスタ 34 には、入力ノード N21 の電位 V_{21} に応じたレベルの電流が流れる。N 型トランジスタ 35 には、出力ノード N22 の電位 V_{22} に応じたレベルの電流が流れる。P 型トランジスタ 31 と 32 はカレントミラー回路を構成し、P 型トランジスタ 32 と N 型トランジスタ 35 は直列接続されているので、トランジスタ 31, 32, 35 には出力ノード N22 の電位 V_{22} に応じたレベルの電流が流れる。

【0025】

V_{21} が V_{22} よりも高い場合は、P 型トランジスタ 31 に流れる電流が N 型トランジスタ 34 に流れる電流よりも小さくなってノード N31 の電位が低下し、P 型トランジスタ 33 に流れる電流が大きくなって電位 V_{22} が上昇する。 V_{21} が V_{22} よりも低い場合は、P 型トランジスタ 31 に流れる電流が N 型トランジスタ 34 に流れる電流よりも大きくなってノード N31 の電位が上昇し、P 型トランジスタ 33 に流れる電流が小さくなって電位 V_{22} が低下する。したがって、 $V_{21} = V_{22}$ となる。

【0026】

つまり、プッシュ型駆動回路 26 は、入力インピーダンスが高く、出力インピーダンスが低く、電圧増幅率が 1 であるバッファ回路である。ただし、トランジスタ 31～35 のしきい値電圧のばらつきにより、入力電位 V_{21} と出力電位 V_{22} の間に電位差すなわちオフセット電圧 V_{OF} が生じる。たとえば、N 型トランジスタ 33, 34 間でしきい値電圧 V_{TN} が異なる場合は、オフセット電圧 V_{OF} が生じる。このオフセット電圧 V_{OF} は、N 型トランジスタ 33, 34 のしきい値電圧の差 $|\Delta V_{TN}|$ で表わされる。

【0027】

図 5 に戻って、プッシュ型駆動回路 26 の入力ノード N21 は、寄生容量 C_0 を有する。図 5 では、この寄生容量 C_0 は、入力ノード N21 と接地電位 GND

のラインとの間に接続されたキャパシタ 28 で示されている。また、負荷容量は、出力ノード N23 と接地電位 GND のラインとの間に接続されたキャパシタ 29 で示されている。キャパシタ 27.1, 27.2 およびスイッチ S1, S2.1, S2.2, S3.2, S4 は、プッシュ型駆動回路 26 のオフセット電圧 V_{OF} を補償するためのオフセット補償回路を構成している。

【0028】

すなわち、スイッチ S1 は入力ノード N20 と駆動回路 26 の入力ノード N21 との間に接続され、スイッチ S4 は出力ノード N23 と駆動回路 26 の出力ノード N22 との間に接続される。キャパシタ 27.1 およびスイッチ S2.1 は、駆動回路 26 の入力ノード N21 と出力ノード N22 の間に直列接続される。スイッチ S3.1 は、入力ノード N20 とキャパシタ 27.1 およびスイッチ S2.1 間のノード N1 との間に接続される。キャパシタ 27.2 およびスイッチ S2.2 は、ノード N1 と N22 の間に直列接続される。スイッチ S3.2 は、入力ノード N20 とキャパシタ 27.2 およびスイッチ S2.2 間のノード N2 との間に接続される。

【0029】

スイッチ S1, S2.1, S2.2, S3.1, S3.2, S4 の各々は、P 型トランジスタでもよいし、N 型トランジスタでもよいし、P 型トランジスタおよび N 型トランジスタを並列接続したものでもよい。スイッチ S1, S2.1, S2.2, S3.1, S3.2, S4 の各々は、制御信号（図示せず）によってオン／オフ制御される。

【0030】

今、駆動回路 26 の出力電位 V_{22} が入力電位 V_{21} よりもオフセット電圧 V_{OF} だけ低い場合について説明する。図 7 に示すように、初期状態では、すべてのスイッチ S1, S2.1, S2.2, S3.1, S3.2, S4 はオフ状態にされている。ある時刻 t_1 においてスイッチ S1, S2.1, S2.2 がオンされると、駆動回路 26 の入力ノード N21 の電位 V_{21} は $V_{21} = V_I$ になり、駆動回路 26 の出力電位 V_{22} およびノード N1, N2 の電位 V_1, V_2 は $V_2 = V_1 = V_2 = V_I - V_{OF}$ となり、キャパシタ 27.1 はオフセット電圧 V

OFに充電されるとともにキャパシタ27.2の端子内電圧が0Vにリセットされる。

【0031】

次に時刻t2においてスイッチS1, S2.1がオフされると、オフセット電圧VOFがキャパシタ27.1に保持される。次いで時刻t3においてスイッチS3.1がオンされると、ノードN1の電位V1は $V1 = VI$ になる。もし駆動回路26の入力ノードN21に寄生容量C0がなければ、駆動回路26の入力電位V21は $V21 = VI + VOF$ となり、駆動回路26の出力電位V22は $V22 = VI$ となる。しかし、実際には寄生容量C0があるので、駆動回路26の入力電位V21は $V21 = VI + VOF - \Delta V1$ となり、駆動回路26の出力電位V22は $V22 = VI - \Delta V1$ となる。この損失電圧 $\Delta V1$ は、キャパシタ27.1のキャパシタンスをC1とすると次式で表わされる。

$$\Delta V1 = VOF \cdot C0 / (C0 + C1) \quad \dots (1)$$

また、このときスイッチS2.2, S3.1がオンし、スイッチS3.2がオフしているので、ノードN2の電位V2は $V2 = VI - \Delta V1$ となる。すなわち、ノードN2の電位V2は1回目のオフセットキャンセル動作で生じる損失電圧 $\Delta V1$ だけ入力電位VIよりも低い電位になり、キャパシタ27.2は $\Delta V1$ に充電される。

【0032】

時刻t4においてスイッチS2.2, S3.1がオフされた後、時刻t5においてスイッチS3.2がオンされると、ノードN2の電位V2が $VI - \Delta V1$ からVIに変化する。すなわち、ノードN2の電位V2が $\Delta V1$ だけ上昇する。この変化分 $\Delta V1$ は、キャパシタ27.2, 27.1を介してノードN21に伝達され、ノードN21の電位V21が上昇する。ただし、この場合も寄生容量C0によって損失電圧 $\Delta V2$ が生じ、ノードN21の電位V21は $\Delta V1 - \Delta V2$ だけ上昇し、 $V21 = VI + VOF - \Delta V1 + \Delta V1 - \Delta V2 = VI + VOF - \Delta V2$ となる。

【0033】

ノードN21の電位V1の上昇により、ノードN22の電位V22も同じ電圧

$\Delta V_1 - \Delta V_2$ だけ上昇し、 $V_{22} = V_I - \Delta V_1 + \Delta V_1 - \Delta V_2 = V_I - V_2$ となる。なお、ノード N1 の電位 V_1 は、キャパシタ 27. 1, 27. 2 のキャパシタンスをそれぞれ C_1 , C_2 とすると、次式 (2) で表わされる。

$$V_1 = V_I + \Delta V_1 \cdot C_2 / [C_2 + C_0 \cdot C_1 / (C_0 + C_1)] \quad \cdots (2)$$

また、 ΔV_2 は次式 (3) で表わされる。

$$\Delta V_2 = \Delta V_1 \cdot C_0 / [C_0 + C_1 \cdot C_2 / (C_1 + C_2)] \quad \cdots (3)$$

ここで、説明を容易にするために $C_1 = C_2$ とすると、 $\Delta V_2 = \Delta V_1 \cdot C_0 / (C_0 + C_1 / 2)$ となる。さらに、 $C_0 / C_1 = 1 / 10$ とすると、 $\Delta V_2 = \Delta V_1 \cdot 1 / 6$ となる。すなわち、2 回目のオフセットキャンセル動作による損失分 ΔV_2 は 1 回目の損失分 ΔV_1 の $1 / 6$ に低減される。

【0034】

1 つのキャパシタを用いて 1 回のオフセットキャンセル動作を行なう従来の方法で損失分 ΔV_1 を $1 / 6$ にするためには、6 倍の面積のキャパシタが必要になる。他方、この実施の形態 1 では、2 つのキャパシタ 27. 1, 27. 2 を用いるので、キャパシタの面積を 2 倍したことになるが、損失分 ΔV_1 を $1 / 6$ にするためのキャパシタの面積は従来の $2 / 6 = 1 / 3$ ですむ。なお、スイッチ S2. 2, S3. 2 の面積はキャパシタに比べて十分に小さい。

【0035】

次に、時刻 t_6 においてスイッチ S4 がオンされると、出力電位 V_O が $V_O = V_I - \Delta V_2$ となり負荷に供給される。なお、スイッチ S4 は必ずしも必要でない。ただし、スイッチ S4 を設けないと、負荷容量が大きい場合は時刻 t_1 においてスイッチ S1, S2. 1, S2. 2 をオンしてからキャパシタ 27. 1 の端子間電圧 V_{OF} が安定するまでの時間が長くなる。

【0036】

図 8 は、この実施の形態 1 の変更例となるオフセット補償機能付駆動回路 38 の構成を示す回路図である。図 8 を参照して、このオフセット補償機能付駆動回路 38 が図 5 のオフセット補償機能付駆動回路 25 と異なる点は、2 つのキャパシタ 27. 1, 27. 2、2 つのスイッチ S2. 1, S2. 2 および 2 つのスイッチ S3. 1, S3. 2 が m 個 (ただし、 m は 3 以上の整数である) のキャパシ

タ 27. 1 ~ 27. m、m 個のスイッチ S 2. 1 ~ S 2. m および m 個のスイッチ S 3. 1 ~ S 3. m で置換されている点である。

【0037】

キャパシタ 27. 1 の一方電極は駆動回路 26 の入力ノードに接続され、キャパシタ 27. 2 ~ 27. m の一方電極はそれぞれキャパシタ 27. 1 ~ 27. m - 1 の他方電極に接続される。スイッチ S 2. 1 ~ S 2. m の一方端子はともにノード N 22 に接続され、それらの他方端子はそれぞれキャパシタ 27. 1 ~ 27. m の他方電極に接続される。スイッチ S 3. 1 ~ S 3. m の一方端子はともにノード N 20 に接続され、それらの他方端子はそれぞれキャパシタ 27. 1 ~ 27. m の他方電極に接続される。

【0038】

ある時刻においてスイッチ S 1, S 2. 1 ~ S 2. m がオンされ、キャパシタ 27. 1 がオフセット電圧 V_{OF} に充電されるとともに、キャパシタ 27. 2 ~ 27. m の各々の端子間電圧が 0 V にリセットされる。

【0039】

スイッチ S 1, S 2. 1 がオフされた後、スイッチ S 3. 1 がオンされてキャパシタ 27. 2 が第 1 損失電圧 ΔV_1 に充電される。次いで、スイッチ S 2. 2 がオフされるとともにスイッチ S 3. 2 がオンされてキャパシタ 27. 3 が第 2 損失電圧 ΔV_2 に充電される。以下、同様にして、キャパシタ 27. m が第 m - 1 損失電圧 ΔV_{m-1} に充電される。次に、スイッチ S 2. m がオフされるとともにスイッチ S 3. m がオンされる。

【0040】

キャパシタ 27. 1 ~ 27. m の各々のキャパシタンスを C₁ とすると、m 回のオフセットキャンセル動作を行なった場合の損失電圧 ΔV_m は次式 (4) で表わされる。

$$\Delta V_m = V_{OF} \cdot C_0 / (C_0 + C_1) \cdot C_0 / (C_0 + C_1 / 2) \cdots C_0 / (C_0 + C_1 / m) \quad \cdots (4)$$

ただし、損失電圧 ΔV_m は m を大きくするほど小さくなっていくが、低減の程度も小さくなっていき、逆にキャパシタ 27. 1 ~ 27. m の面積増大の悪影

響が相対的に大きくなるので、必要な出力電位精度に応じて最適な回数 m を設定する必要がある。

【0041】

〔実施の形態2〕

図9は、この発明の実施の形態2によるオフセット補償機能付駆動回路の要部を示す回路図である。図9を参照して、このオフセット補償機能付駆動回路が図5のオフセット補償機能付駆動回路25と異なる点は、プッシュ型駆動回路26がプッシュ型駆動回路40で置換されている点である。

【0042】

このプッシュ型駆動回路40は、定電流源41、42、N型トランジスタ43、44およびP型トランジスタ45、46を含む。定電流源41、N型トランジスタ43およびP型トランジスタ45は、第3電源電位 V_{H1} （たとえば10V）のラインと第4電源電位 V_{L1} （たとえば0V）のラインとの間に直列接続される。P型トランジスタ45のゲートは、入力ノードN21に接続される。N型トランジスタ43のゲートは、そのドレイン（ノードN41）に接続される。N型トランジスタ43は、ダイオードを構成する。トランジスタ43、45の駆動電流は定電流源41の電流値よりも十分大きく設定されているので、P型トランジスタ45はソースフォロア動作を行ない、ノードN41の電位 V_{41} は $V_{41} = V_{21} + |V_{TP}| + V_{TN}$ となる。ここで、 V_{TP} はP型トランジスタのしきい値電圧であり、 V_{TN} はN型トランジスタのしきい値電圧である。

【0043】

N型トランジスタ44、P型トランジスタ46および定電流源42は、第5電源電位 V_{H2} （たとえば10V）のラインと第6電源電位 V_{L2} （たとえば0V）のラインとの間に直列接続される。N型トランジスタ44のゲートは、ノードN41の電位 V_{41} を受ける。P型トランジスタ46のゲートは、そのドレイン（出力ノードN22）に接続される。トランジスタ44、46の駆動電流は定電流源42の電流値よりも十分大きく設定されているので、N型トランジスタ44はソースフォロア動作を行ない、出力ノードN22の電位 V_{22} は $V_{22} = V_{41} - V_{TN} - |V_{TP}| = V_{21}$ となる。

【0044】

すなわち、このプッシュ型駆動回路40は、定電流源41、N型トランジスタ43およびP型トランジスタ45からなるレベルシフト回路とN型トランジスタ44、P型トランジスタ46および定電流源42からなるレベルシフト回路とを2段接続した回路である。この駆動回路40は、予め低い電位にプリチャージされたノードをトランジスタ44、46を介して充電して出力ノードN22の電位V22を入力ノードN21の電位V21に上昇させる動作を行なう。

【0045】

N型トランジスタ43と44のしきい値電圧 V_{TN} が同じであり、P型トランジスタ45と46のしきい値電圧 V_{TP} が同じである場合、この駆動回路40はオフセット電圧 V_{OF} を有しない。しかし、N型トランジスタ43と44のしきい値電圧 V_{TN} が異なる場合および／またはP型トランジスタ45と46のしきい値電圧 V_{TP} が異なる場合は、オフセット電圧 V_{OF} が発生する。この場合、N型トランジスタ43と44のしきい値電圧 V_{TN} の差を ΔV_{TN} とし、P型トランジスタ45と46のしきい値電圧 V_{TP} の差を ΔV_{TP} とすると、オフセット電圧 V_{OF} は $V_{OF} = |\Delta V_{TP} + \Delta V_{TN}|$ となる。このオフセット電圧 V_{OF} は、上述した複数回のオフセットキャンセル動作により低減化される。

【0046】

この実施の形態2では、実施の形態1に比べ、駆動回路の貫通電流が小さくなり、消費電力の低減化が図られる。

【0047】

以下、この実施の形態2の変更例について説明する。図10のプッシュ型駆動回路47は、図9のプッシュ型駆動回路40からN型トランジスタ43およびP型トランジスタ46を除去したものである。ノードN41の電位 V_{41} は $V_{41} = V_{21} + |V_{TP}|$ となり、出力電位 V_{22} は $V_{22} = V_{41} - V_{TN} = V_{21} + |V_{TP}| - V_{TN}$ となる。したがって、この駆動回路47は、初期的にオフセット電圧 $V_{OF} = V_{TN} - |V_{TP}|$ を有している。このオフセット電圧 V_{OF} は、上述した複数回のオフセットキャンセル動作により低減化される。

【0048】

図 11 のプッシュ型駆動回路 48 は、図 10 のプッシュ型駆動回路 47 から定電流源 41 および P 型トランジスタ 45 を除去し、N 型トランジスタ 44 のゲートを入力ノード N21 に接続したものである。出力電位 V22 は $V22 = V21 - V_{TN}$ となる。したがって、この駆動回路 48 は、初期的にオフセット電圧 $V_{OF} = V_{TN}$ を有している。このオフセット電圧 V_{OF} は、上述した複数回のオフセットキャンセル動作により低減化される。

【0049】

[実施の形態 3]

図 12 は、この発明の実施の形態 3 によるオフセット補償機能付駆動回路の要部を示す回路図である。図 12 を参照して、このオフセット補償機能付駆動回路が図 5 のオフセット補償機能付駆動回路 25 と異なる点は、プッシュ型駆動回路 26 がプル型駆動回路 50 で置換されている点である。図 3 で説明したプリチャージ電位 V_{CP} が 5 V の場合は、階調電位 V_G は 0 ~ 5 V であるのでデータ線 6 の放電を行なえばよく、充電を行なう必要はない。この場合、プル型の駆動回路 50 が使用される。

【0050】

このプル型駆動回路 50 は、N 型トランジスタ 51、52、P 型トランジスタ 53、54 および定電流源 55、56 を含む。N 型トランジスタ 51、P 型トランジスタ 53 および定電流源 55 は、第 7 電源電位 V_{H3} (たとえば 5 V) のラインと第 8 電源電位 V_{L3} (たとえば -10 V) のラインとの間に直列接続される。N 型トランジスタ 51 のゲートは、入力ノード N21 に接続される。P 型トランジスタ 53 のゲートは、そのドレイン (ノード N55) に接続される。P 型トランジスタ 53 は、ダイオードを構成する。トランジスタ 51、53 の駆動電流は定電流源 55 の電流値よりも十分大きく設定されているので、N 型トランジスタ 51 はソースフォロア動作を行ない、ノード N55 の電位 V_{55} は $V_{55} = V_{21} - V_{TN} - |V_{TP}|$ となる。

【0051】

定電流源 56、N 型トランジスタ 52 および P 型トランジスタ 54 は、第 9 電源電位 V_{H4} (たとえば 5 V) のラインと第 10 電源電位 V_{L4} (たとえば -1

0 V) とのラインとの間に直列接続される。P型トランジスタ 54 のゲートは、ノード N55 に接続される。N型トランジスタ 51 のゲートは、そのドレイン (出力ノード N22) に接続される。トランジスタ 52, 54 の駆動電流は定電流源 56 の電流値よりも十分大きく設定されているので、P型トランジスタ 54 はソースフォロア動作を行ない、出力ノード N22 の電位 V_{22} は $V_{22} = V_{55} + |V_{TP}| + V_{TN} = V_{21}$ となる。

【0052】

つまり、このプル型駆動回路 50 は、N型トランジスタ 51、P型トランジスタ 53 および定電流源 55 からなるレベルシフト回路と定電流源 56、N型トランジスタ 52 および P型トランジスタ 54 を用いたレベルシフト回路とを 2 段接続した回路である。この駆動回路 50 は、予め高い電位にプリチャージされたノードをトランジスタ 52, 54 を介して放電し、出力ノード N22 の電位 V_{22} を入力ノード N21 の電位 V_{21} に低下させる動作を行なう。

【0053】

N型トランジスタ 51 と 52 のしきい値電圧 V_{TN} が同じであり、P型トランジスタ 53 と 54 のしきい値電圧 V_{TP} が同じである場合、この駆動回路 50 はオフセット電圧 V_{OF} を有しない。しかし、N型トランジスタ 51 と 52 のしきい値電圧 V_{TN} が異なる場合および／または P型トランジスタ 53 と 54 のしきい値電圧 V_{TP} が異なる場合は、オフセット電圧 V_{OF} が発生する。この場合、N型トランジスタ 51 と 52 のしきい値電圧 V_{TN} の差を ΔV_{TN} とし、P型トランジスタ 53 と 54 のしきい値電圧 V_{TP} の差を ΔV_{TP} とすると、オフセット電圧 V_{OF} は $V_{OF} = |\Delta V_{TP} + \Delta V_{TN}|$ となる。このオフセット電圧 V_{OF} は、上述した複数回のオフセットキャンセル動作により低減化される。

【0054】

この実施の形態 3 でも、実施の形態 1 に比べて駆動回路の貫通電流が小さくなり、消費電流の低減化が図られる。

【0055】

以下、この実施の形態 3 の変更例について説明する。図 13 のプル型駆動回路 57 は、図 12 のプル型駆動回路 50 から P型トランジスタ 53 および N型トラン

ンジスタ 52 を除去したものである。ノード N55 の電位 V_{55} は $V_{55} = V_{21} - V_{TN}$ となり、出力電位 V_{22} は $V_{22} = V_{21} - V_{TN} + |V_{TP}|$ となる。したがって、この駆動回路 57 は、初期的にオフセット電圧 $V_{OF} = V_{TN} - |V_{TP}|$ を有している。このオフセット電圧 V_{OF} は、上述した複数回のオフセットキャンセル動作により低減化される。

【0056】

図 14 のプル型駆動回路 58 は、図 13 のプル型駆動回路 57 から N 型トランジスタ 51 および定電流源 55 を除去し、P 型トランジスタ 54 のゲートを入力ノード N21 に接続したものである。出力電位 V_{22} は $V_{22} = V_{21} + |V_{PT}|$ となる。したがって、この駆動回路 58 は、初期的にオフセット電圧 $V_{OF} = V_{TN}$ を有している。このオフセット電圧 V_{OF} は、上述のオフセットキャンセル動作により低減化される。

【0057】

[実施の形態 4]

図 15 は、この発明の実施の形態 4 によるオフセット補償機能付駆動回路 60 の構成を示す回路ブロック図である。図 15 を参照して、このオフセット補償機能付駆動回路 60 は、オフセット補償機能付プッシュ型駆動回路 61 およびオフセット補償機能付プル型駆動回路 62 を並列接続したものであり、図 3 で説明したプリチャージ電位 V_{CP} が 0 ～ 5 V の間の電位たとえば 2.5 V の場合に使用される。

【0058】

オフセット補償機能付プッシュ型駆動回路 61 は、実施の形態 1, 2 で示した複数のオフセット補償機能付プッシュ型駆動回路のうちのいずれかと同じものである。オフセット補償機能付プル型駆動回路 62 は、実施の形態 3 で示した複数のオフセット補償機能付プル型駆動回路のうちのいずれかと同じものである。スイッチ $S_{4.1}$, $S_{4.2}$ は、実際にはそれぞれ駆動回路 61, 62 に含まれているが、説明および理解の簡単化のため、駆動回路 61, 62 とは別に記載されている。

【0059】

データ線 6 すなわち出力ノード N 2 3 がプリチャージ電位 VCP にプリチャージされた後、入力ノード N 2 0 に階調電位 VG が与えられると、駆動回路 6 1, 6 2 の各々において図 7 で示したオフセットキャンセル動作が行われ、スイッチ S 4. 1, S 4. 2 がともにオンされて出力ノード N 2 3 が階調電位 VG に駆動される。このとき 2 つの駆動回路 6 1, 6 2 は同じ電位を出力するので、貫通電流は流れない。また、この状態でデータ線 6 にプラスのノイズが発生した場合はプル型駆動回路 6 2 が動作し、データ線 6 にマイナスのノイズが発生した場合はプッシュ型駆動回路 6 1 が動作し、データ線 6 に生じたノイズを低い出力インピーダンスで低レベルに抑制することができる。

【0060】

この実施の形態 4 では、プリチャージ電位 VCP を 0 ～ 5 V の間の電位たとえば 2. 5 V にしたので、プリチャージ電位 VCP を 0 V または 5 V にした場合に比べ、データ線 6 の電位を高速に設定することができ、かつ消費電力の低減化を図ることができる。

【0061】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0062】

【発明の効果】

以上のように、この発明に係るオフセット補償回路では、初段の一方電極が駆動回路の入力ノードに接続され、各々の一方電極が前段の他方電極に接続された第 1 ～ 第 N のキャパシタと、入力電位を駆動回路の入力ノードに与えるとともに、第 1 のキャパシタの他方電極を駆動回路の出力ノードに接続し、第 1 のキャパシタをオフセット電圧に充電させる第 1 の切換回路と、第 2 ～ 第 N のキャパシタを所定時間ずつ順次選択し、選択したキャパシタの一方電極に入力電位を与えるとともに選択したキャパシタの他方電極を駆動回路の出力ノードに接続し、第 1 ～ 第 N のキャパシタをオフセット電圧に充電させる第 2 の切換回路と、第 N のキ

ャパシタの他方電極に入力電位を与える第3の切換回路とが設けられる。したがって、駆動回路の入力ノードの寄生容量の影響を小さくすることができ、オフセット電圧を正確にキャンセルすることができる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1によるカラー液晶表示装置の全体構成を示すブロック図である。

【図2】 図1に示した各液晶セルに対応して設けられる液晶駆動回路の構成を示す回路図である。

【図3】 図1に示した水平走査回路に含まれるイコライザ+プリチャージ回路の構成を示す回路図である。

【図4】 図1に示した水平走査回路に含まれる階調電位発生回路およびオフセット補償機能付駆動回路の構成を示す回路ブロック図である。

【図5】 図4に示したオフセット補償機能付駆動回路の構成を示す回路図である。

【図6】 図5に示したプッシュ型駆動回路の構成を示す回路図である。

【図7】 図5に示したオフセット補償機能付駆動回路の動作を示すタイムチャートである。

【図8】 実施の形態1の変更例を示す回路図である。

【図9】 この発明の実施の形態2によるオフセット補償機能付駆動回路に含まれるプッシュ型駆動回路の構成を示す回路図である。

【図10】 実施の形態2の変更例を示す回路図である。

【図11】 実施の形態2の他の変更例を示す回路図である。

【図12】 この発明の実施の形態3によるオフセット補償機能付駆動回路の構成を示す回路図である。

【図13】 実施の形態3の変更例を示す回路図である。

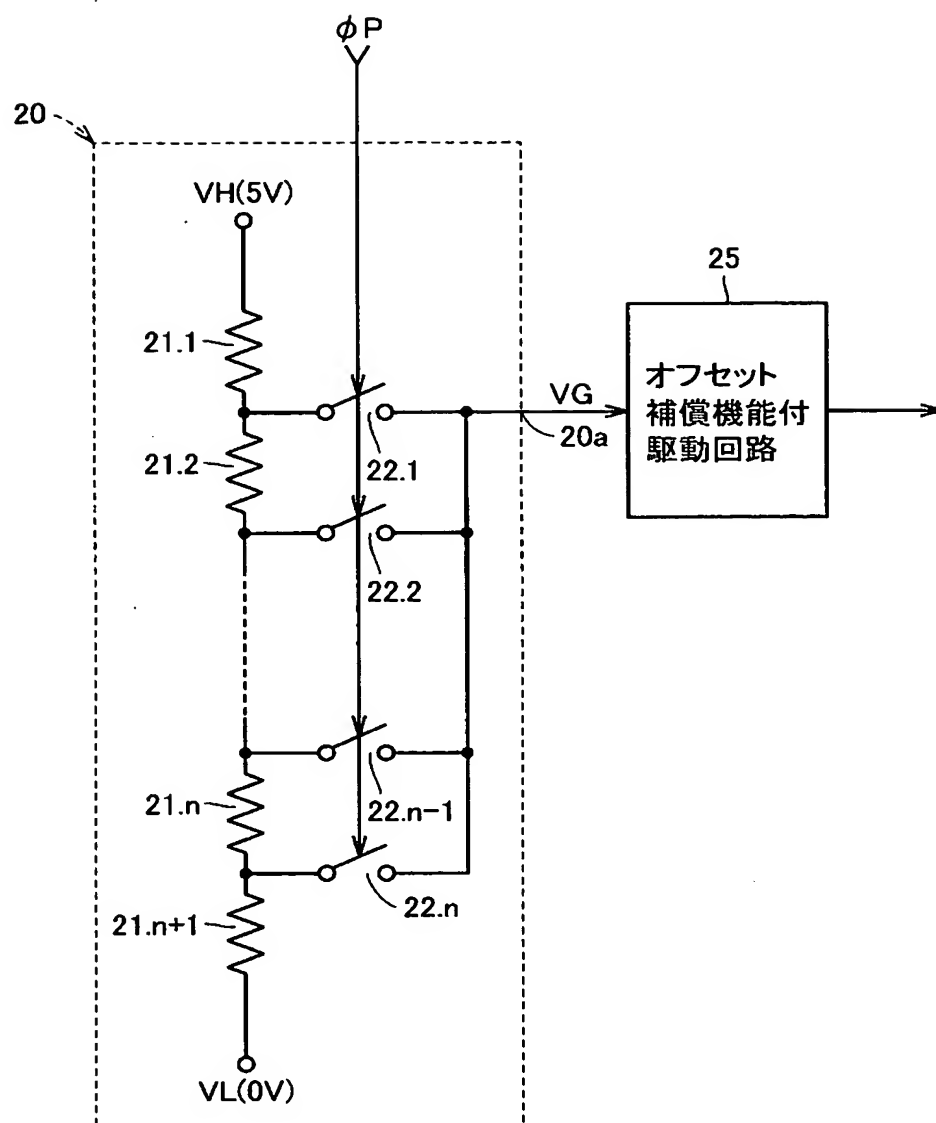
【図14】 実施の形態3の他の変更例を示す回路図である。

【図15】 この発明の実施の形態4によるオフセット補償機能付駆動回路の構成を示す回路図である。

【符号の説明】

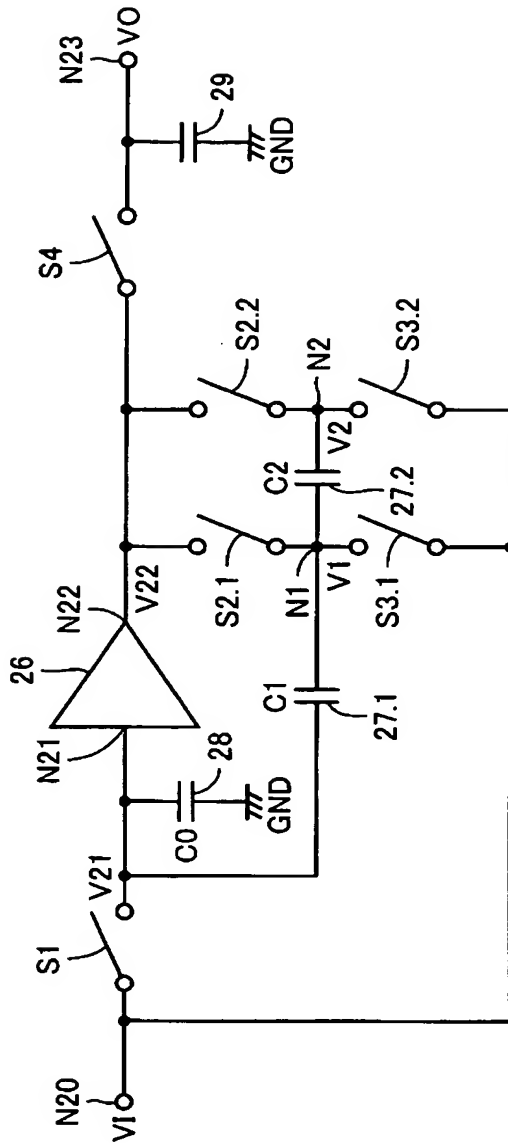
1 液晶パネル、2 液晶セル、3 画素、4 走査線、5 共通電位線、6
データ線、7 垂直走査回路、8 水平走査回路、10 液晶駆動回路、11
, 34, 35, 43, 44, 51, 52 N型トランジスタ、12, 27, 28
キャパシタ、15 イコライザ+プリチャージ回路、16, 17, 22, S
スイッチ、20 階調電位発生回路、21 抵抗素子、25, 38, 60~6
2 オフセット補償機能付駆動回路、26, 40, 47, 48, 50, 57, 5
8 駆動回路、31~33, 45, 46, 53, 54 P型トランジスタ、36
, 37, 41, 42, 55, 56 定電流源。

【図 4】



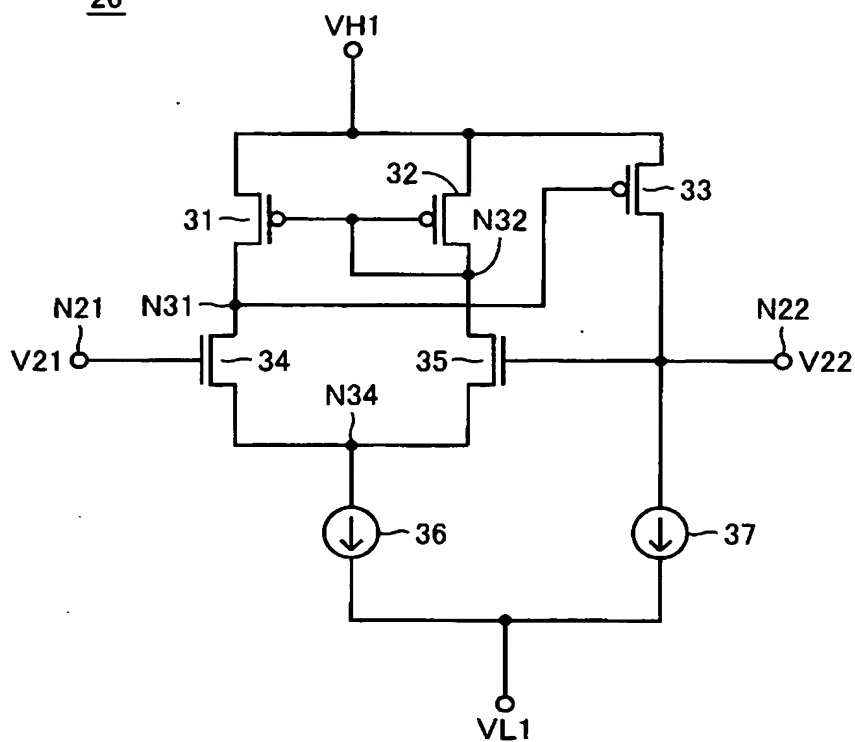
【図 5】

25

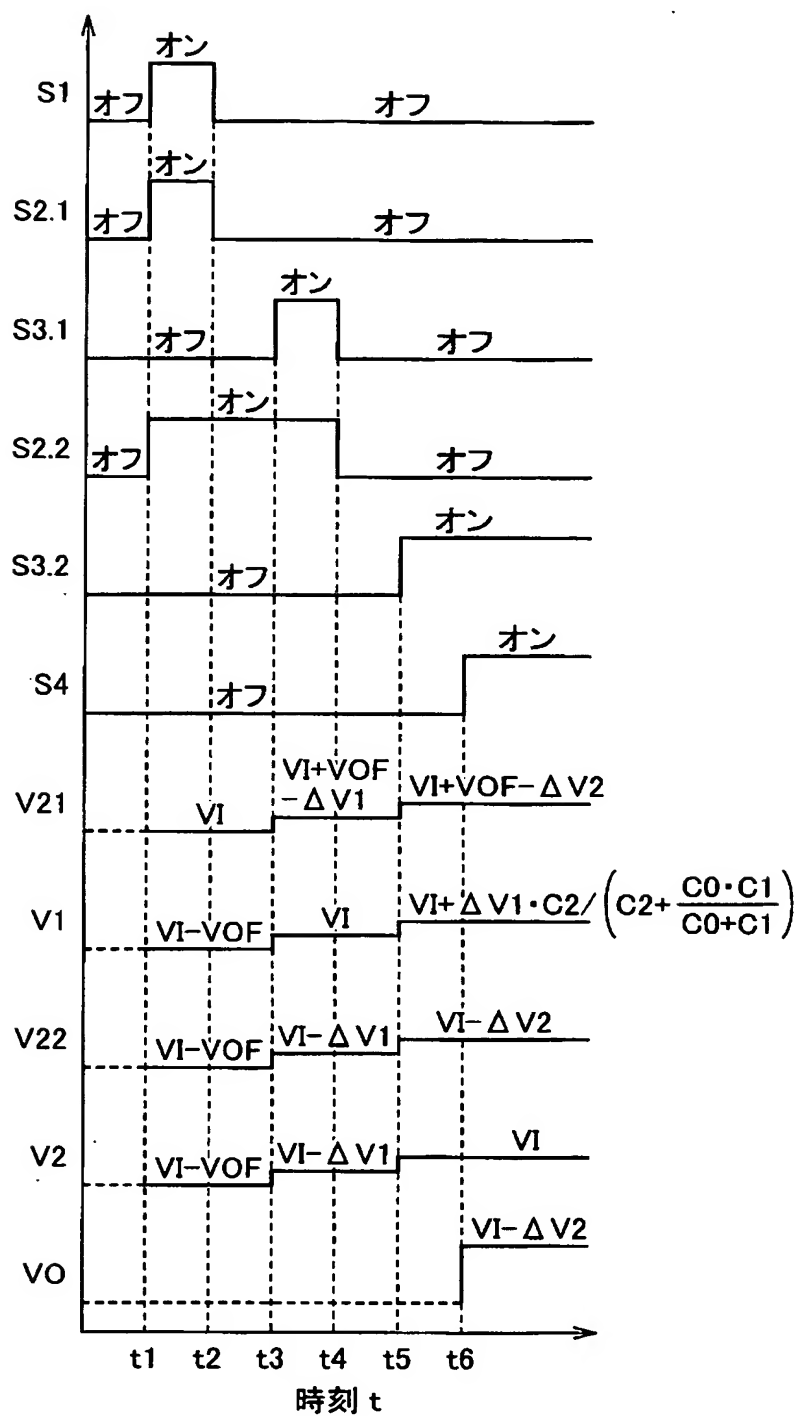


【図 6】

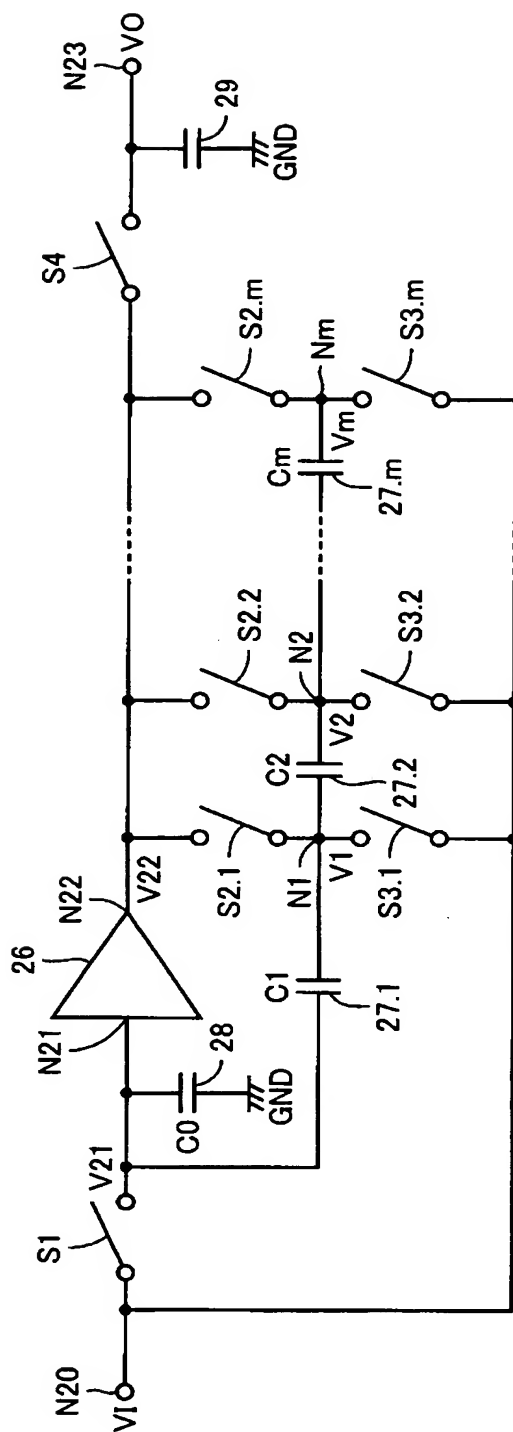
26



【図 7】



【図 8】



50

Circuit diagram 50 shows two differential pairs. The left pair has input V21 (N21) and output VL3 (VH3), with a tail current source 55 (N55). The right pair has input V22=V21 and output VL4 (VH4), with a tail current source 56. Both pairs include a differential pair of transistors (51, 53 and 52, 54) and a cross-coupling connection V55.

57

VH3

N21

V21

51

N55

55

VL3

VH4

56

N22

V22=V21-V_{TN}+|V_{TP}|

V55

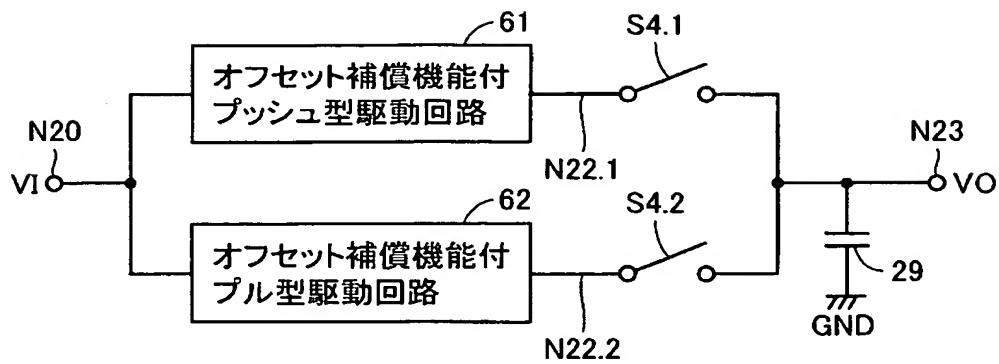
54

VL4

58

The diagram shows a PMOS transistor 54. Its gate is connected to node N21, which is also labeled with input V21. The source of the transistor is connected to node N22, which is labeled with output $V22 = V21 + |V_{TP}|$. The source is also connected to a current source 56, represented by a circle with a downward arrow. The other terminal of the current source 56 is connected to node VH4. The drain of the transistor 54 is connected to node VL4.

【図 15】

60

【書類名】 要約書

【要約】

【課題】 オフセット電圧を正確にキャンセルすることが可能なオフセット補償回路を提供する。

【解決手段】 このオフセット補償機能付駆動回路 25 では、スイッチ S1, S2.1, S2.2 をオンさせてキャパシタ 27.1 を駆動回路 26 のオフセット電圧 VOF に充電させた後、スイッチ S1, S2.1 をオフさせるとともにスイッチ S3.1 をオンさせてキャパシタ 27.2 を駆動回路 26 の入力ノード N21 の寄生容量 C0 による損失電圧 $\Delta V1$ に充電させる。次いでスイッチ S3.1, S2.2 をオフさせるとともにスイッチ S3.2, S4 をオンさせる。このときも寄生容量 C0 による損失電圧 $\Delta V2$ が発生し、出力電圧 VO は $V_I - \Delta V2$ となる。C0 = C1 = C2 とすると、 $\Delta V2$ は $\Delta V1$ の $1/6$ になる。したがって、駆動回路 26 の寄生容量 C0 の悪影響を低減化させることができる。

【選択図】 図 5

特願 2 0 0 3 - 0 8 2 5 8 0

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 6 0 1 3]

| | |
|----------|-------------------------|
| 1. 変更年月日 | 1 9 9 0 年 8 月 2 4 日 |
| [変更理由] | 新規登録 |
| 住 所 | 東京都千代田区丸の内 2 丁目 2 番 3 号 |
| 氏 名 | 三菱電機株式会社 |